

工艺-电压-温度综合稳健的亚 1 V 10 位 SAR ADC

张 畅, 佟星元

(西安邮电大学陕西省通信专用集成电路设计工程技术研究中心, 陕西西安 710121)

摘要: 采用 0.11- μm CMOS 工艺设计了一款 10 位亚 1 V 工艺-电压-温度 (Process-Voltage-Temperature, PVT) 综合稳健的逐次逼近寄存器型 (Successive-Approximation-Register, SAR) 模数转换器 (Analog-to-Digital Converter, ADC) IP 核. 由于 SAR ADC 数字化程度较高, 为了降低整体功耗, 采用小于标准电压的亚 1 V 供电. 然而, 对于异步 SAR ADC, 在低压下面临严峻的 PVT 不稳健问题, 传统采用固定延迟电路的方式无法应对所有的 PVT 偏差, 会导致 ADC 良率下降. 提出一种用于异步 SAR ADC 的可配置延迟调控技术, 采用 3 输入译码器调节延迟电路的电流, 以满足 ADC 在多种 PVT 组合下所需的延时, 在 TT, SS, FF, SF, FS 这 5 种工艺角, 0.9~1 V 供电范围和 -40~85 $^{\circ}\text{C}$ 的温度范围内, 均取得了良好的动态特性. 在 0.95 V 供电, 采样速率为 200 kS/s 时, 总功耗为 2.24 μW , FoM 值仅为 16.46 fJ/Conv.-step.

关键词: 模数转换器 (ADC); 逐次逼近寄存器 (SAR); 工艺-电压-温度 (PVT); 低压; 低功耗

基金项目: 国家自然科学基金 (No.62271389); 陕西省高层次人才特殊支持计划 (No.2018TZBJ-36); 陕西省教育厅重点科学研究计划 (No.22JY058)

中图分类号: TN432 **文献标识码:** A **文章编号:** 0372-2112(2023)08-2050-08

电子学报 URL: <http://www.ejournal.org.cn> **DOI:** 10.12263/DZXB.20221017

A Sub-1 V 10 bit SAR ADC Robust Against Process-Voltage-Temperature Variation

ZHANG Chang, TONG Xing-yuan

(Shaanxi Provincial Research Center for Telecommunication ASIC Design, Xi'an University of Posts and Telecommunications, Xi'an, Shaanxi 710121, China)

Abstract: A 10 bit successive-approximation-register (SAR) analog-to-digital converter (ADC) is designed by using 0.11 μm CMOS technology. It can operate with sub-1 V supply voltage and is robust against process, voltage, and temperature (PVT) variation. Since SAR ADC is with a highly digitized structure, a sub-1 V power supply which is smaller than the standard supply voltage is used for power reduction. However, asynchronous SAR ADCs are sensitive to PVT fluctuations, especially under low supply voltages. The commonly used delay circuit in asynchronous SAR ADC usually features fixed delay without any configurable function, so that the ADC cannot operate properly under all PVT conditions, leading to the degradation of ADC yield. A programmable delay-controlling technique is proposed in this paper for asynchronous SAR ADC. A 3-to-8 line decoder is used to control the adjustment of current supplied to the delay circuit, so that different delay requirements of the ADC under different PVT conditions can be satisfied. The post-layout simulation results verify its robustness against variations of process corners (TT, SS, FF, SF and FS), supply voltage from 0.9 V to 1 V, and temperature from -40 $^{\circ}\text{C}$ to 85 $^{\circ}\text{C}$. With a supply voltage of 0.95 V and a sampling rate of 200 kS/s, the power consumption of this ADC is 2.24 μW , and the FoM value is only 16.46 fJ/Conv.-step.

Key words: analog-to-digital converter (ADC); successive-approximation-register (SAR); process-voltage-temperature (PVT); low voltage; low power

Foundation Item(s): National Natural Science Foundation of China (No.62271389); Special Support Program for High-level Talents in Shaanxi Province (No.2018TZBJ-36); Key Scientific Research Program of Shaanxi Provincial Department of Education (No.22JY058)

1 引言

逐次逼近寄存器型 (Successive-Approximation-Register, SAR) 模数转换器 (Analog-to-Digital Converter, ADC) 凭借结构简单、面积小、易集成等优点, 在新型智能传感系统具有广泛应用^[1-4]. 工业界 SAR ADC 产品通常采用工艺支持的标准电压供电, 在工艺-电压-温度 (Process-Voltage-Temperature, PVT) 波动下具有良好的鲁棒性, 但标准电压供电的 SAR ADC 通常功耗较高. 由于 SAR ADC 数字化程度较高, 现有成果中常采用降低电压的方式减小 SAR ADC 功耗, 但低压 SAR ADC 面临严峻的 PVT 不稳健问题.

PVT 波动会导致 MOS 管特性参数发生变化, 进而影响 ADC 性能. 对于同步 SAR ADC, 为实现 PVT 综合稳健, 通过一定的功耗、面积等开销来应对最差 PVT 偏差, 能够提高整体良率. 对于异步 SAR ADC, 省略了同步 SAR ADC 中比较完成后的等待时间, 提高了速度. 虽然 DAC 电容阵列、栅压自举开关、比较器和逻辑部分可以针对最差 PVT 偏差进行优化, 提高整体良率, 但延迟模块产生的延时随 PVT 偏差变化. 延时太小会导致 DAC 建立不充分而出现量化错误, 延时过长又会导致在一个采样周期无法完成所有位的量化. 这一矛盾也造成异步 SAR ADC 的 PVT 稳健性优化更具复杂性, 无法用固定的延迟模块应对所有的 PVT 偏差. 文献[5]提出了一种基于转换时间检测的自适应控制方案, 通过监测转换速度来推测 PVT 波动情况, 进而有针对性地改变内在电源/地的电压, 以调节转换速率. 文献[6]通过动态调节 NMOS 和 PMOS 晶体管的阈值电压来补偿 PVT 波动带来的影响, 但在一定程度上增加了面积和功耗. 本文针对异步 SAR ADC 的 PVT 稳健性进行研究, 提出异步 SAR ADC 的可配置延迟调控技术, 并对栅压自举开关、比较器和逻辑电路进行了 PVT 稳健性优化, 采用 0.11 μm CMOS 工艺设计了一款 0.95 V 10 位 200 kS/s SAR ADC IP 核, 验证了本文方案的可行性.

2 SAR ADC 主要模块

图 1 为本设计异步 SAR ADC 系统框图. 在采样阶段, 采样保持电路 (S/H) 将差分输入信号 V_{IP} 和 V_{IN} 采样到电容阵列. 在量化阶段, 比较器对数模转换器 (Digital to Analog Convertor, DAC) 输出进行第一次比较, 并根据比较结果, 动态逻辑控制改变 DAC 电容开关产生新的电压. 重复上述操作, 直到得到最后一位数字码. 比较器时钟 CLKC 完全由内部信号产生, 结合本设计提出的可配置延迟调控技术产生所需延时, 完成正确量化. 本节介绍各模块受 PVT 波动的影响情况以及优化后的结果. 关于 DAC 电容阵列、栅压自举开关、比较器和逻辑模块, 在不同的 PVT 条件下, 只要针对最差情况

进行优化即可满足设计要求. 对于延迟模块, 延迟时间过长或过短都会导致异步 SAR ADC 工作异常. 为了应对不同的 PVT 波动情况, 本文提出可配置延迟调控技术进行优化, 以提高 ADC 的整体良率.

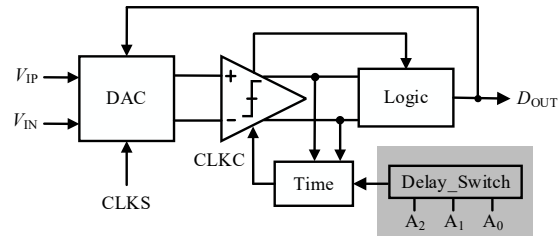
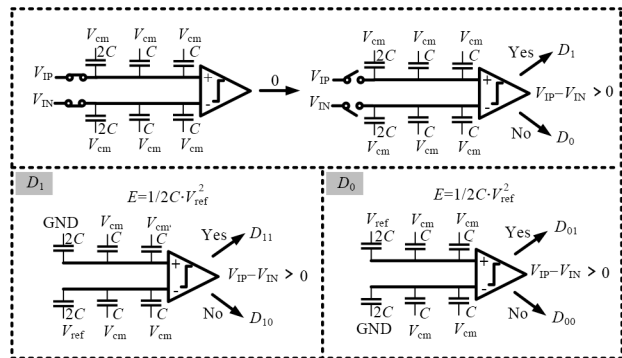


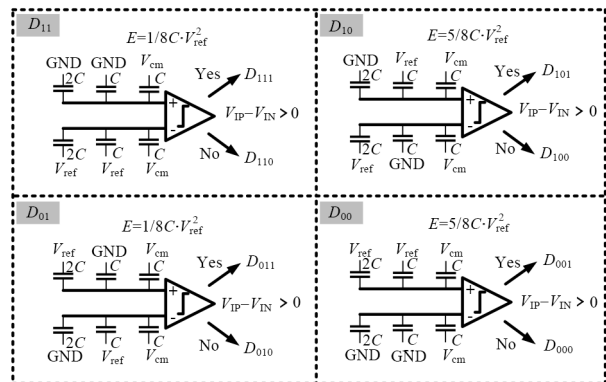
图 1 异步 SAR ADC 系统框图

2.1 DAC 电容阵列

本设计采用 V_{cm} -based 开关时序^[7,8]. 该时序相较于传统时序平均能耗降低了 87.52%, 并利用顶极板采样, 减少了 50% 的电容阵列规模, 节省了面积, 同时共模电平恒定, 具有良好的线性度. 图 2 为采用该时序的 3 bit 实施例对应的切换过程及能耗.



(a) 采样和第 1、2 次比较



(b) 第 3 次比较

图 2 3 bit 实施例开关时序图

在 SS, TT, FF 工艺角, 电容顶极板和底极板电压差范围为 $-1 \sim 1$ V, 温度范围为 $-40 \sim 85$ °C 的条件下, 单位电容值的绝对误差如图 3 所示. 本文 SAR ADC 电容阵列

由单位电容分组并联构成,用以构建相应的二进制权重.虽然工艺、电压和温度的波动都会造成电容的容值变化,但单位电容的绝对误差并不会降低 SAR ADC 电容

阵列的线性度. SAR ADC 线性度受电容失配影响,关注的是电容之间的匹配性,即相对电容精度,不是绝对精度.因此,只要符合二进制权重比例,就不会产生误差.

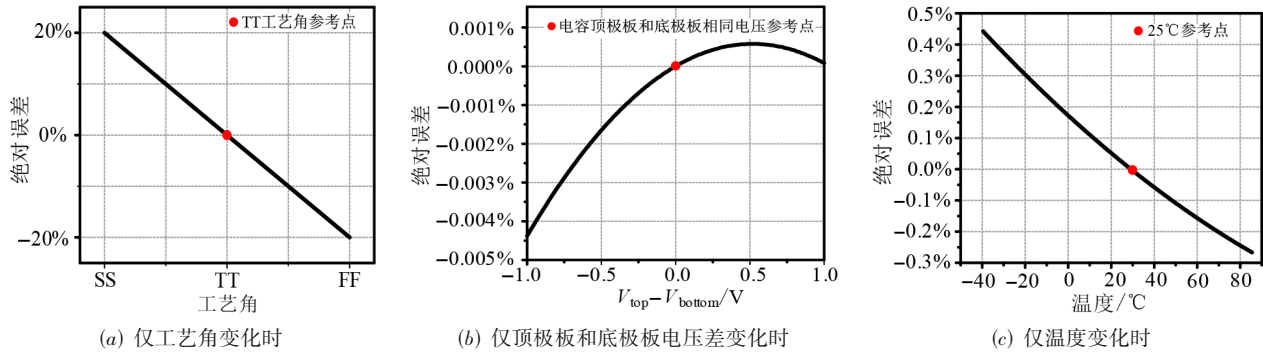


图3 单位电容值随PVT波动绝对误差百分比示意图

2.2 栅压自举开关

本设计采样开关选用一种低导通电阻、高线性度的栅压自举开关^[9],如图4所示.本节详细介绍其工作原理,并在此基础上进一步分析PVT波动对栅压自举开关产生的影响,进行优化.

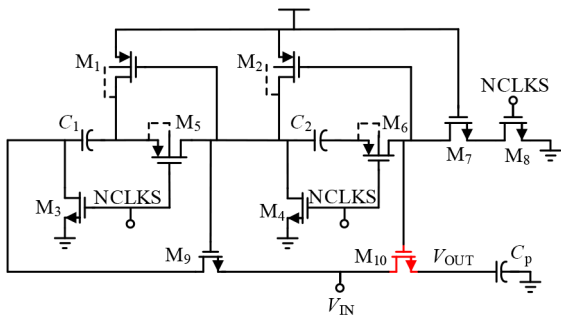


图4 栅压自举开关电路

V_{IN} 和 V_{OUT} 为输入和输出信号, NCLKS 时钟与采样时钟 CLKS 互为反向. 当 NCLKS 的电平为“1”时, $M_1, M_2, M_3, M_4, M_7, M_8$ 导通, V_{DD} 分别对电容 C_1 和 C_2 充电至 V_{DD} . 当 NCLKS 的电平为“0”时, M_5, M_6, M_9, M_{10} 导通. 理论上, 此时 M_{10} 的 V_G 为 $2V_{DD}+V_{IN}$, V_{GS} 为 $2V_{DD}$, 与输入信号无关, 提升了电路的线性度. 图5所示为(TT, 25 °C, 0.95 V)情况下, 输入频率为奈奎斯特频率 94.14 kHz 时的采样开关 FFT 频谱图, 有效位数超过了 14 bit, 满足设计需要.

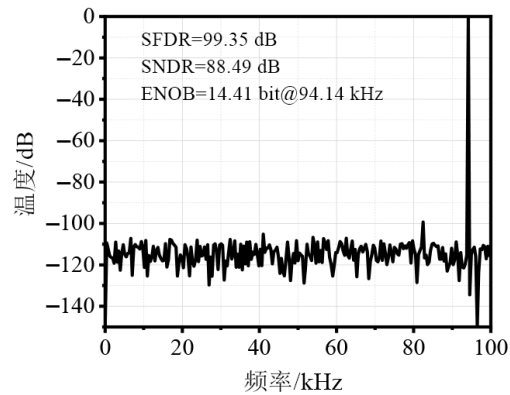


图5 栅压自举开关 FFT 频谱图

图4中导通状态下的 M_{10} 工作在深线性区, 可以等效为一个由工艺参数和过驱动电压控制的电阻, 虽然保证 V_{GS} 相对恒定, 不受输入信号影响, 但PVT的波动会导致工艺参数和阈值电压发生变化, 使导通电阻改变, 影响线性度. 在PVT波动时, 栅压自举开关的导通电阻 (R_{ON})、信噪失真比 (Signal-to-Noise Distortion Ratio, SNDR)、无杂散动态范围 (Spurious Free Dynamic Range, SFDR) 仿真结果如表1所示. 针对最差PVT情况进行优化后, 有效位数均超过了 10 bit, 保证了采样开关的PVT稳健性.

表1 栅压自举开关 R_{ON} , SNDR, SFDR 随 PVT 波动的参数变化表 (94.14 kHz, $f_m @ 200$ ks/s)

	$\Delta P, V_{DD} = 0.95 \text{ V}, T = 25 \text{ }^\circ\text{C}$					$P = \text{TT}, \Delta V, T = 25 \text{ }^\circ\text{C}$			$P = \text{TT}, V_{DD} = 0.95 \text{ V}, \Delta T$		
	TT	SS	FF	SF	FS	0.9 V	0.95 V	1 V	-40 °C	25 °C	85 °C
SNDR/dB	88.500	87.600	88.900	87.700	89.300	88.000	88.500	88.900	90.300	88.500	87.200
SFDR/dB	99.300	97.500	100.500	99.800	100.800	99.900	99.300	99.000	101.100	99.300	97.900
$R_{ON}/k\Omega (V_{IN} \text{ 相同})$	1.204	1.578	0.975	1.470	1.001	1.257	1.204	1.159	0.973	1.204	1.404

2.3 两级动态比较器

本设计比较器采用两级动态比较器^[10],如图 6 所示,包含图 6(a)所示的预放大级和图 6(b)所示的锁存级两个模块.表 2 为所采取 MOS 管宽长比汇总表.该比较器由异步时钟信号 CLKC 控制,通过大幅降低静态功耗使总功耗下降.本节详细介绍其工作原理,并在此基础上进一步分析 PVT 变化对比较器性能产生的影响,进行优化.

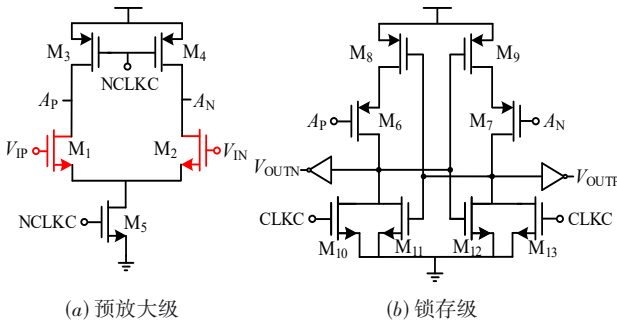


图 6 两级动态比较器电路

表 2 本文比较器所采取 MOS 管宽长比汇总表

导通管	$W(L)/\mu\text{m}$
M_1, M_2	8/0.3
M_3, M_4	2/0.3
M_5	5/0.3
M_6, M_7	5/0.2
M_8, M_9	2/0.2
$M_{10}, M_{11}, M_{12}, M_{13}$	1/0.2
$V_{\text{TH0}^{\text{NMOS}}}/V_{\text{TH0}^{\text{PMOS}}}$	405/-445 mV

图 6 中, V_{IP} 和 V_{IN} 为差分输入信号, NCLKC 时钟与比较器时钟 CLKC 互为反向, 当 CLKC 的电平为“1”时, 处于复位阶段, M_5 关断, M_3 和 M_4 导通, 将第一级的输出端 A_P 和 A_N 拉高到 V_{DD} , 后一级 M_{10} 和 M_{13} 管导通, 将输出 V_{OUTP} 和 V_{OUTN} 下拉到 GND; 当 CLKC 的电平为“0”时, 处于比较阶段, M_5 导通, 根据 M_1 和 M_2 放电速度的不同将第一级的输出电压拉低, 然后被第二级的锁存器所识别, 通过第二级交叉耦合反相器的正反馈作用, 将输出电压分别拉到 V_{DD} 和 GND, 比较完成.

表 3 对不同工艺角和温度情况下的 MOS 管阈值电压进行了汇总. 由于阈值电压的波动对比较器的速度会有一些影响, 因此, 表 3 同时汇总了不同 PVT 条件下比较器准确识别 1 LSB 的差异所需要的时间. 在 SS 工艺角, MOS 管的阈值电压较高, 尤其在 (SS, -40°C , 0.9 V) 情况下, 输入 NMOS 管的阈值电压已经超过本设计所采用的共模电压, 导致预放大级的电流很小, 不能实现快速放大, 只能通过缓慢的电荷泄放拉开电压差距进而完成锁存, 最终导致比较器比较时间明显增大, SS 工艺角、低温低压对应着最差情况. 比较器比较时间

过长, 会造成一个采样周期内并不能完成所有位的比较, 进而导致有效位数的下降. 提高供电电压可以缓解此问题, 但会引起功耗的增加. 在满足比较器精度要求的情况下, 针对最差 PVT 情况的比较时间进行优化, 即可保证比较器的 PVT 稳健性.

表 3 不同 PVT 情况下比较器识别 1 LSB 的差异所需要的时间

工艺角, 温度	阈值电压 $V_{\text{TH0}^{\text{NMOS}}}/V_{\text{TH0}^{\text{PMOS}}}$	比较器识别 1 LSB 差异的时间/ns		
		$V_{\text{DD}} = 0.9\text{ V}$	$V_{\text{DD}} = 0.95\text{ V}$	$V_{\text{DD}} = 1\text{ V}$
FF, 85°C	365 mV/-420 mV	1.893	1.508	1.241
TT, 25°C	405 mV/-445 mV	5.874	4.133	3.082
SS, -40°C	450 mV/-485 mV	688.219	277.974	116.476

2.4 动态逻辑

本设计逻辑部分采用动态锁存方式^[11], 如图 7 和图 8 所示. 传统的 SAR ADC 动态逻辑无锁存结构, N 位数字码由 N 个逻辑单元逐位判断得出, 但已完成判断的逻辑单元其输出节点在之后的转换过程中一直处于浮空状态, 导致寄生电容存储的电荷存在泄漏, 使输出节点的电压下降. 当采样周期较长时影响较大, 可能输出错误的数字码, 故本文采用动态锁存逻辑. 本节详细介绍其工作原理, 并分析 PVT 变化对逻辑部分产生的影响, 进行优化.

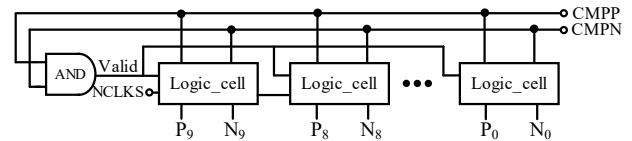


图 7 动态逻辑系统原理图

本设计 10 bit SAR ADC 输出 10 位数字码, 需要 10 个动态逻辑单元存储数字信号, 后一级逻辑单元由前一级触发, 实现逐位锁存. 图 7 中 Valid 信号为完成比较后使逻辑工作的触发信号, CMPP 和 CMPN 为比较器的输出, P_9, P_8, \dots, P_0 和 N_9, N_8, \dots, N_0 与电容开关相连, 控制电容阵列底极板的电平切换.

图 8 为动态逻辑单元的电路结构, 当 D 的电平为“0”时, M_1 和 M_6 导通, Q 被拉低到 GND, M_{15} 处于断开状

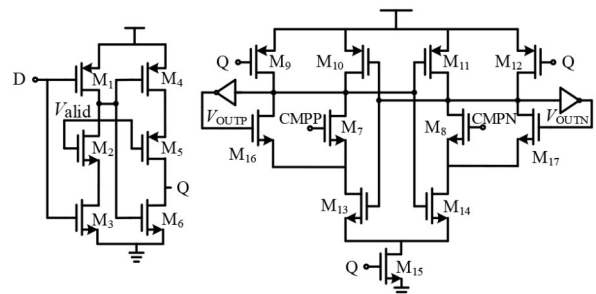


图 8 动态逻辑单元电路

态, M_9 和 M_{12} 导通, 使 V_{OUTP} 和 V_{OUTN} 电压均为 0. 当 D 的电平为“1”, 且 Valid 上升沿到来时, M_2, M_3, M_4 导通; 当 Valid 下降沿到来时, M_5 导通, Q 点的电平被提高至“1”, M_{15} 导通, M_7 和 M_8 中有一根管子导通, 通过正反馈将 V_{OUTP} 和 V_{OUTN} 锁存, 提高了 ADC 的转换精度.

在工艺、电压、温度单独变化时, 最低位数字码锁存时间的变化情况如图 9 所示. PVT 波动对动态逻辑锁存时间的影响较小, 在 1.2~3.7 ns 具有良好的鲁棒性, 因此只需针对最差 PVT 情况稍作优化, 即可保证动态逻辑的 PVT 稳健性.

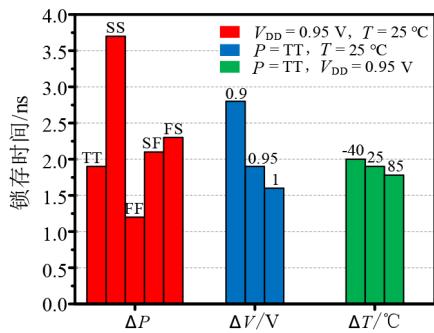


图9 PVT波动时逻辑电路锁存时间对比图

3 可配置延迟调控技术

SAR ADC 分为同步和异步两种. 同步 SAR ADC 的比较器时钟每一位分配相同的时间, 比较器时钟周期由最差 PVT 情况下的比较时间决定. 故每次转换的周期较长, 难以在高速设计中应用, 并且时钟的产生需要大量的数字电路, 增大了面积和能耗. 相比之下, 异步 SAR ADC 的比较器时钟可以由内部信号通过简单的逻辑门电路产生, 每一位分配不同的时间, 提高了转换速度, 故采用异步架构完成本设计.

异步时钟的工作原理如图 10 和图 11 所示. 当采样时, CLKS 为高电平, 使比较器时钟 CLKC 维持在高电平复位状态. 当采样结束时, CLKS 变为低电平, 使比较器开始最高位的比较. 当比较完成, 触发 SIG 信号上升沿, 经过延迟单元后产生比较器复位信号; 当比较器完成复位, 触发 SIG 信号下降沿, 经过延迟单元后再次产生比较器比较信号, 直至产生最后一位数字码 P_0 和 N_0 , 比较器时钟复位, 且保持到下个采样周期的第一次比较信号出现.

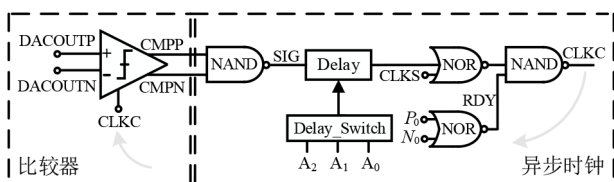


图10 异步时钟系统框图

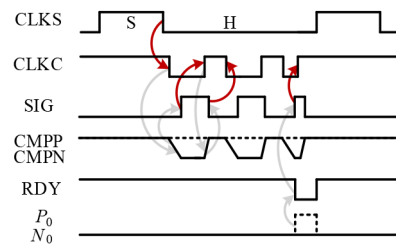


图11 异步时钟时序图

图 12 所示为 PVT 波动所造成的比较器比较时间、复位时间、DAC 建立可用时间和延迟单元产生延时的变化情况. CLKC 信号为正确量化时的比较器时钟, 为参考信号. 无论采样速率高低, 只要采样频率固定, 一个采样周期的时间就是固定的. 在不同的 PVT 波动下, 异步时钟内固定的延迟模块所产生的延时是不同的, 延时过长或过短都会导致异步 SAR ADC 工作异常. 当 PVT 波动导致 MOS 管阈值电压变大时, 延时会变长, 但留给 DAC 建立的可用时间过长, 造成时间上的冗余, 进而导致在一个采样周期内无法完成所有位的量化, 如 S_CLKC 信号. 相反, 当 PVT 波动导致 MOS 管阈值电压变小时, 延时会变短, 可能导致 DAC 无法完全建立, 造成量化误差, 如 F_CLKC 信号. 因此, 由于固化的延迟电路不能满足所有 PVT 波动下对延时的需求, 只针对单一的变化趋势进行延迟电路设计优化无法满足可靠性要求. 针对以上问题, 本文提出了一种可配置延迟调控技术.

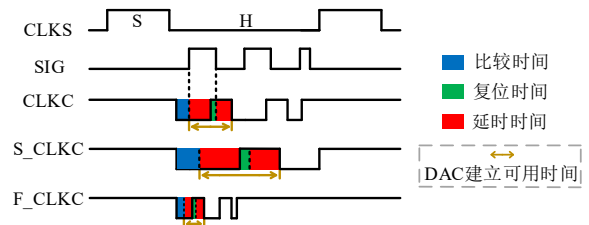


图12 PVT波动时延迟变化对比图

延时优化系统的工作原理如图 13 和图 14 所示. Delay_Switch 模块由一个 3-8 译码器电路控制各电流源支路的通断, 并把导通支路的电流通过电流镜复制到 Delay 模块的反相器链, 通过不同的电流来实现合适的延时. $A_2A_1A_0$ 为增加的输入档位, 具体档位的调整可观察图 11 中的 RDY 信号进行. 该信号低电平的时间表示最后一位数字码转换完成到下一次采样时刻来临的时间. 若无低电平时间, 则代表在一个采样周期内无法完成所有位的比较, 说明延迟电路的延时偏长, 需要增大 $A_2A_1A_0$ 取值, 即增大延迟电路的电流, 以减小延迟时间, 确保完成所有位的量化, 如信号 S_CLKC 的变化; 若 RDY 信号低电平时间过长, 则说明量化完所有位之后还存在大量时间冗余, 说明有可能给 DAC 的建立时间

偏短,可减小 $A_2A_1A_0$ 取值,即降低延迟电路的电流,以增大延迟时间,确保 DAC 充分建立,如信号 F_CLKC 的变化. 在 TT,SS,FF,SF,FS 工艺角,电源电压为(0.9 V, 0.95 V, 1 V),温度为(-40 °C, 25 °C, 85 °C)的条件下,将 45 种 PVT 组合延时所需的电流归为 8 档,对应 3-8 译码器控制输出的 8 条支路,保证了正确量化. 表 4 中展示了不同 PVT 组合对应的输入档位 $A_2A_1A_0$,其中“1”为高电平,“0”为低电平.

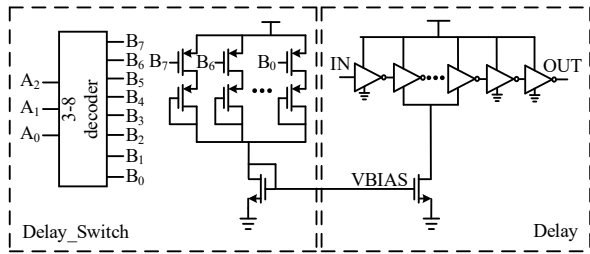


图 13 延时优化系统结构图

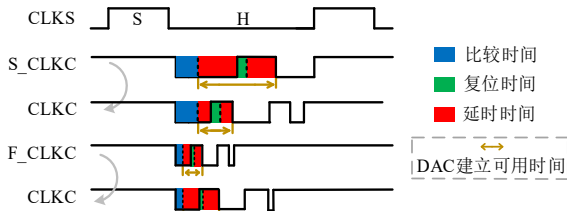


图 14 延时优化系统时序图

在(FF, 1 V, 85 °C)时,受 VBIAS 偏置的 NMOS 电流镜总电流最小, Delay_Switch 模块功耗最小. 但由于 Delay 模块信号上升下降缓慢,整体功耗受漏电流影响较大,此时延时优化系统总功耗为 0.48 μ W;在(SS, 0.9 V, -40 °C)时,受 VBIAS 偏置的 NMOS 电流镜总电流最大, Delay_Switch 模块功耗最大. 但由于 Delay 模块信号上升下降较快,整体功耗受漏电流影响较小,此时延时优化系统总功耗为 0.34 μ W. 对于不同的延迟,虽然 Delay_Switch 模块和 Delay 模块在功耗变化趋势上存在差异,但对延时优化系统总功耗影响并不明显.

4 设计结果与对比

本设计 SAR ADC 采用 0.11 μ m CMOS 工艺完成. 其中,电容阵列采用 MIM 型单位电容,极大地节省了面

积,同时采用共质心布局减小系统失配. 图 15 为本设计 10 bit SAR ADC 电路版图,总面积为 0.049 mm^2 . 通过提取寄生电容,后仿真结果表明,所提出的 ADC 在奈奎斯特频率下,0.95 V 供电时,功耗为 2.24 μ W,各模块功耗如图 16 所示.

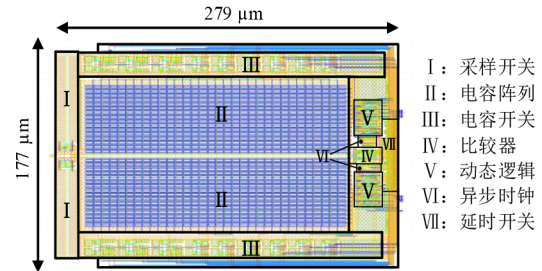


图 15 本设计 10 bit SAR ADC 电路版图

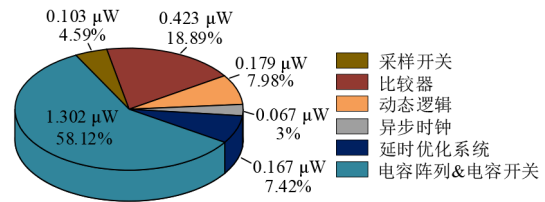


图 16 后仿真各模块功耗构成图

图 17 和图 18 分别为本文 10 bit SAR ADC 在(TT, 25 °C, 0.95 V)情况下低频和高频的后仿真 FFT 频谱图. 当不考虑噪声时, ADC 的有效位数均超过了 9.9 bit;当加入 100 倍采样频率带宽范围噪声时,有效位数均超过了 9.4 bit. 表 4 列出了在 TT,SS,FF,SF,FS 工艺角,电源电压为(0.9 V, 0.95 V, 1 V),温度为(-40 °C, 25 °C, 85 °C)的条件下,输入频率为低频 4.29 kHz,加入 100 倍采样频率带宽范围噪声时不同 PVT 组合的后仿真 SNDR 均取得了良好的动态特性.

表 5 总结了本设计 SAR ADC 的关键指标并与前人工作进行了比较. FoM 值的定义如下:

$$FoM = \frac{Power}{2^{ENOB} * f_s}$$

其中, f_s 为采样频率, Power 和 ENOB 为奈奎斯特频率下的功耗和有效位数. 文献[6]和文献[15]中提出的 ADC 有着较高的采样速率,但是本设计功耗更低、面积更

表 4 本文 10 位 ADC 在不同 PVT 组合情况下的 SNDR 和采取的档位汇总表 (4.29 kHz f_{in} @ 200 kS/s)

SNDR/dB ($A_2A_1A_0$)	$V_{DD} = 0.9\text{ V}$			$V_{DD} = 0.95\text{ V}$			$V_{DD} = 1\text{ V}$		
	-40 °C	25 °C	85 °C	-40 °C	25 °C	85 °C	-40 °C	25 °C	85 °C
TT	58.9 (101)	59.1 (110)	57.7 (010)	58.0 (101)	58.5 (110)	58.1 (010)	58.8 (101)	59.1 (110)	58.2 (010)
SS	44.8 (111)	58.7 (101)	58.8 (011)	59.6 (111)	59.1 (101)	59.4 (011)	59.8 (011)	59.3 (001)	59.1 (011)
FF	57.1 (010)	56.5 (100)	57.0 (000)	57.8 (100)	56.9 (100)	57.3 (000)	58.0 (100)	58.6 (000)	57.9 (000)
SF	59.3 (111)	58.6 (001)	58.7 (100)	59.4 (001)	59.1 (110)	58.4 (100)	59.7 (110)	59.0 (010)	58.8 (100)
FS	57.9 (001)	56.9 (001)	57.4 (010)	57.0 (001)	57.8 (110)	56.9 (010)	56.8 (001)	57.9 (110)	57.3 (010)

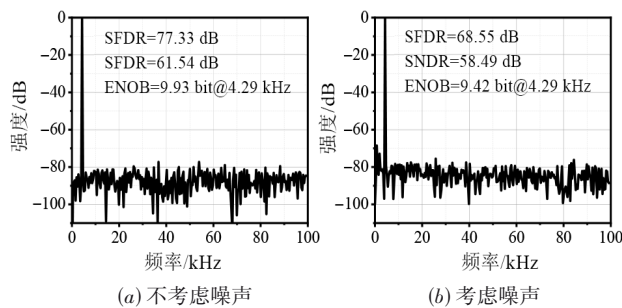


图 17 输入频率为 4.29 kHz 时的后仿真 FFT

小. 文献[12]中提出的 ADC 有着较高的采样速率,但是本设计功耗更低. 文献[13]中提出的 ADC 有着较低的功耗,但是本设计采样速率更高、面积更小. 文献[14]

表 5 本文 10 位 ADC 与其他 SAR ADC 的对比

参数	文献[6]*	文献[12]*	文献[13]*	文献[14]*	文献[15]*	本文*
工艺/nm	55	40	130	180	180	110
电源/V	0.5/0.9	1.1	1	0.6	1.8	0.95
精度/bit	12	10	10	10	10	10
采样频率/(MS/s)	1	25	0.001	0.2	0.46	0.2
SNDR/dB @Nyq.	68	53	56.7	56.9	54.1	58.4
ENOB/bit @Nyq.	11.01	8.51	9.12	9.16	8.7	9.41
功耗/ μ W	30	68.64	0.053	1.76	21	2.24
面积/ mm^2	0.27	-	0.16	0.097	0.15	0.049
FoM/(fJ/Conv.-step)	12	7.58	94.5	15.38	110	16.46
PVT robustness	No	No	Yes	No	No	Yes

注:*代表测试结果,+代表仿真结果

5 结语

本文基于 0.11 μm CMOS 工艺,设计了一款采样频率为 200 kS/s, PVT 综合稳健的亚 1 V 10 位 SAR ADC IP 核,并提出了一种针对异步 SAR ADC 的可配置延迟调控技术. 该技术解决了低压下异步 SAR ADC 延迟模块产生的延时随 PVT 波动发生变化,变化过大时导致 ADC 性能下降的问题,只需 3 输入译码器调节延迟电路的电流,即可满足 45 种 PVT 组合所需延时,均保证了正常的量化. 同时对低压下电容阵列、栅压自举开关、比较器、动态逻辑进行了 PVT 稳健性分析,并对最差 PVT 偏差进行了优化,提高了整体良率. 在 TT, SS, FF, SF, FS 这 5 种工艺角, 0.9~1 V 供电范围和 -40~85 $^{\circ}\text{C}$ 的温度范围下, ADC 均取得了良好的动态特性.

参考文献

[1] ZHANG M L, CHAN C H, ZHU Y, et al. A 0.6-V 13-bit 20-MS/s two-step TDC-assisted SAR ADC with PVT tracking and speed-enhanced techniques[J]. IEEE Journal of Solid-State Circuits, 2019, 54(12): 3396-3409.

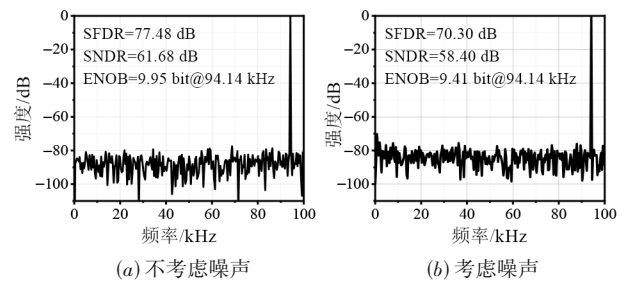


图 18 输入频率为 94.14 kHz 时的后仿真 FFT

中提出的 ADC 功耗较低,但是本设计面积更小. 相比于文献[6, 12, 14, 15],本设计针对 PVT 稳健性做了优化. 与以往的工作相比,所提出的 ADC 在 0.11 μm CMOS 工艺下取得了良好的性能.

- [2] CHUNG Y H, YEN C W. A PVT-tracking metastability detector for asynchronous ADCs[C]//2016 IEEE International Symposium on Circuits and Systems (ISCAS). Piscataway: IEEE, 2016: 1462-1465.
- [3] 汪正锋, 宁宁, 吴霜毅, 等. 一种基于电压窗口技术的超低功耗 SAR ADC[J]. 电子学报, 2016, 44(1): 211-215. WANG Z F, NING N, WU S Y, et al. An ultra-low power SAR ADC with voltage window technique[J]. Acta Electronica Sinica, 2016, 44(1): 211-215. (in Chinese)
- [4] SU Z, WANG H C, ZHAO H Y, et al. An 8-bit 80-MS/s fully self-timed SAR ADC with 3/2 interleaved comparators and high-order PVT stabilized HBT bandgap reference [C]//2019 IEEE International Symposium on Circuits and Systems (ISCAS). Piscataway: IEEE, 2019: 1-4.
- [5] KIM J E, YOO T, JUNG D K, et al. A 0.5 V 8-12 bit 300 KSPS SAR ADC with adaptive conversion time detection-and-control for high immunity to PVT variations[J]. IEEE Access, 2020, 8: 101359-101368.
- [6] ZHA Y, ZAHND L, DENG J, et al. An untrimmed pvt-robust 12-bit 1-MS/s SAR ADC IP in 55nm deeply depleted

channel cmos process[C]//2019 IEEE Asian Solid-State Circuits Conference (A-SSCC). Piscataway: IEEE, 2020: 13-16.

- [7] ZHU Y, CHAN C H, CHIO U F, et al. A 10-bit 100-MS/s reference-free SAR ADC in 90 nm CMOS[J]. IEEE Journal of Solid-State Circuits, 2010, 45(6): 1111-1121.
- [8] LIU C C, CHANG S J, HUANG G Y, et al. A 10-bit 50-MS/s SAR ADC with a monotonic capacitor switching procedure[J]. IEEE Journal of Solid-State Circuits, 2010, 45(4): 731-740.
- [9] LIN J Y, HSIEH C C. A 0.3 V 10 bit 1.17 f SAR ADC with merge and split switching in 90 nm CMOS[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2015, 62(1): 70-79.
- [10] BINDRA H S, LOKIN C E, SCHINKEL D, et al. A 1.2-V dynamic bias latch-type comparator in 65-nm CMOS with 0.4-mV input noise[J]. IEEE Journal of Solid-State Circuits, 2018, 53(7): 1902-1912.
- [11] ZHU Z M, QIU Z, LIU M L, et al. A 6-to-10-bit 0.5 V-to-0.9 V reconfigurable 2 MS/s power scalable SAR ADC in 0.18 μm CMOS[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2015, 62(3): 689-696.
- [12] ZHANG C C, JIN Z R, LIU D S. A 1.1-V 10-bit 25-MS/s 7.58fJ/conversion-step SAR ADC in 40-nm CMOS[C]//2021 9th International Symposium on Next Generation Electronics (ISNE). Piscataway: IEEE, 2021: 1-4.
- [13] ZHANG D, BHADE A, ALVANDPOUR A. A 53-nW 9.12-ENOB 1-kS/s SAR ADC in 0.13- μm CMOS for medical implant devices[C]//2011 Proceedings of the ES-SCIRC (ESSCIRC). Piscataway: IEEE, 2011: 467-470.
- [14] ZHANG H S, ZHANG H, SONG Y, et al. A 10-bit 200-KS/s 1.76 μW SAR ADC with hybrid CAP-MOS DAC for energy-limited applications[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2019, 66(5): 1716-1727.
- [15] WANG S J, DEHOLLAIN C. Design and implementation of a rail-to-rail 460-kS/s 10-bit SAR ADC for the power-efficient capacitance measurement[J]. IEEE Transactions on Instrumentation and Measurement, 2015, 64(4): 888-901.

作者简介



张 畅 男,1999年生,河北廊坊人.西安邮电大学工程学院硕士研究生.主要研究方向为数模混合信号集成电路设计.

E-mail: zhangchangzc_z@163.com



佟星元(通讯作者) 男,1984年生.博士,博士后.西安邮电大学教授、陕西省通信专用集成电路设计工程技术研究中心主任.主要研究方向为低功耗集成电路设计、数据转换器电路、传感电路与系统.

E-mail: mayxt@126.com